

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-122551

(43)Date of publication of application : 12.05.1995

(51)Int.Cl.

H01L 21/31
C09D183/04
H01B 3/46

(21)Application number : 05-267457

(71)Applicant : SHOWA DENKO KK

(22)Date of filing : 26.10.1993

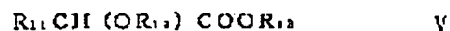
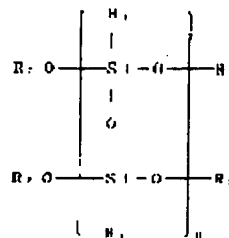
(72)Inventor : NANBA YOICHI
MATSUI FUMIO

(54) DEPOSITION OF INSULATION FILM OR PLANARIZATION FILM FOR SEMICONDUCTOR

(57)Abstract:

PURPOSE: To allow filling even of a micro pore by several times of coating by employing a solution of polymethyl silsesquioxane dissolved into an organic solvent represented by a specified formula when elements on a semiconductor substrate is coated with polymethyl silsesquioxane having number-average molecular weight within a specific range.

CONSTITUTION: Polymethyl silsesquioxane having number-average molecular weight of 500-10000 shown by formula I (in the formula, R₁ represents a methyl group, R₂ represents a 1-4C alkyl group and/or a hydrogen atom, and n is a positive number corresponding to the molecular weight) is dissolved into a solvent containing a mixture of one or more than one kind of solvents shown by formulas II-IV. (In the formula, R₃, R₅, R₆, R₈-R₁₃ represent 1-4C alkyl group, and R₄, R₇ represent 2-4C alkylane group.) A micro pore having diameter of 1 μm or less is filled by coating the solution one or two times. This method allows filling of micro pore with high planarity in multilayer wiring.



LEGAL STATUS

[Date of request for examination] 16.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

(19)日本特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平7-122551

(13)公開日 平成7年(1995)5月12日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	特許表示箇所
H 0 1 L 21/31				
C 0 9 D 183/04	P M S			
I 1 0 1 B 3/40		Z 9059 5G		
			H 0 1 L 21/ 31	
			審査請求 未請求 請求項の数 2 O L (全 6 頁)	

(21)出願番号 特願平5-287457

(22)出願日 平成5年(1993)10月26日

(71)出願人 000002004

昭和電工株式会社

東京都港区芝大門1丁目13番9号

(72)発明者 南波 洋一

神奈川県川崎市川崎区大川町5番1号 昭

和電工株式会社化学品研究所内

(72)発明者 松井 二郎雄

神奈川県川崎市川崎区大川町5番1号 昭

和電工株式会社化学品研究所内

(74)代理人 弁護士 寺田 賢

(54)【発明の名称】 半導体用絶縁膜または平坦化膜の形成方法

(57)【要約】

【目的】 半導体の絶縁膜、平坦化膜を形成するのに、脱ガス性などの膜質に優れ、平坦化特性が完全平坦化レベルを有し、穴の直径が1.0 μ m以下の鎖環状の形状の微細穴に対しても、1~2回塗布による埋めの込みが可能であることまで改善する。

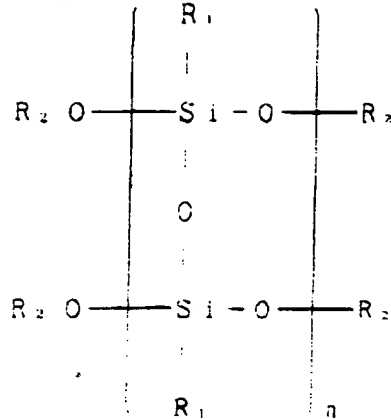
【構成】 ポリメチルシルセスキオキサンを、必須成分としてプロピレングリコールモノアルキルエーテルアセテート類、3-アルコキシプロピオン酸エステル類、乳酸エステル類、乳酸ニアルエステル類などを含む溶剤に溶解させた溶液を使用し、100~200℃で溶剤を揮散させた後に200~500℃の温度で加熱硬化させることにより、130~220℃の硬化による再流動化現象を抑制させ、加熱硬化させる半導体用の絶縁膜または平坦化膜の形成方法。

(2)

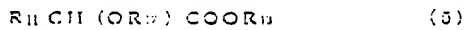
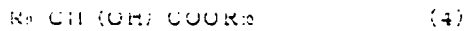
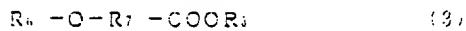
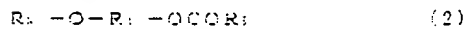
時間平均 = 1.22351

【特許請求の範囲】

【請求項1】 直径が1 μ m以下である微細穴を有する半導体素子（をコーティングするに際し、下記 式で



（式中、R₁）はメチル基を、R₂は炭素数1～4のアルキル基及び/または酸素原子を示し、nは分子量に对应する正の整数である。）と下記一般式（2）～（5）で示される溶剤



（式中、R₃、R₄、R₅、R₆は炭素数1～4のアルキル基を、R₁、R₂はアルキル基で置換可能な炭素数2～4のアルキレン基を示す。）の一種または二種以上の混合物を含む溶剤に溶解させた溶液を使用し、該微細穴を埋め込むことを特徴とする半導体絶縁膜または平坦化膜の形成方法。

【請求項2】 ポリメチルシルセスキオキサンを溶解させた溶液を半導体素子上にコーティングした後、100～200℃の温度で溶剤を蒸発させ次いで200～500℃の温度で加熱硬化させて、ポリメチルシルセスキオキサンの軟化による再流動化をさせる請求項1に記載の半導体用絶縁膜または平坦化膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高度に集積化された半導体素子上への新規な絶縁膜または平坦化膜の形成方法に関する。

【0002】

【従来の技術】 LSIの集積化と共に配線の多層化が不可避となってきており、回路の信頼性を維持する上で層間絶縁膜及び平坦化膜の重要性が増してきている。層間絶縁膜等の形成方法には一般に気相法（CVD法）により緻密なSiO₂膜を堆積し、テトラヒドロキシシランに代表される無機系のポリシロキサン被覆膜（無機SiOG）を塗布法で形成すると共に、この無機SiOG膜の

（1）で示される数平均分子量500～10,000のポリメチルシルセスキオキサン

【化1】

上下を緻密なCVD法、SiO₂膜でテンディングする方法が採用されてきた。しかし、半導体の高集積化、多層配線化が進むにつれ配線幅、パッシベーションの幅（スペース）が狭くなり、配線幅と配線高さの比率であるアスペクト比は益々大きくなっている。このため、SiOG膜は厚くしなければならないが、無機SiOG膜では0.2 μ m以上にするとクワックが発生し易い欠点があり、使用するには問題があった。

【0003】 そこで従来技術に代表されるテトラヒドロキシシラン系被覆（無機SiOG）の厚膜化、耐クワック性や平坦化能力の問題を解決するために、アルキルトリヒドロキシシランなどのいわゆる有機SiOGを層間絶縁膜（平坦化膜）として使用することが提案されている。この場合には溝部を除いて有機SiOG硬化膜を除去するエッチバック法が採用されることが多い。しかし、この有機SiOG膜にもいくつかの課題があることが指摘されている。例えば、平坦度に対する要求が増し、従来のアルキルトリヒドロキシシランでは「局所的平坦化」といわれるマシ化レベルまでしか実現できず、素子の微細化、集積化が進むにつれ所望されている「完全平坦化」といわれるレベルへの到達は困難なため、配線部とスペース部に絶対放棄が残り、多層配線化が3層、4層、5層と進むにつれ配線部とスペース部に絶対放棄が残り、後工程リソグラフィでのステップ・アップ・ダウン（フォーカスマージン）が狭くなる等の問題点が懸念されている。

【0004】 更に、半導体素子（特に開孔部、割装部など）の形状を有し、かつ穴の直径が1 μ m以下であるような微細穴を設け、各種機能を実現させる高度な集積化の設計技術も急速に進歩しつつある。アルキルトリヒドロキシシランのような従来タイプの有機SiOGでは上記のような1 μ m以下の微細穴には、1～2回の塗布では埋め込みが不可能であり、また多数回の塗布により目的

(3)

特開平7-122533

とする絶縁膜または平坦化膜を得たとしても、尚、ボイドが残りデバイスの性能評価試験で不合格になるものが出るなど信頼性の問題があった。

【0005】

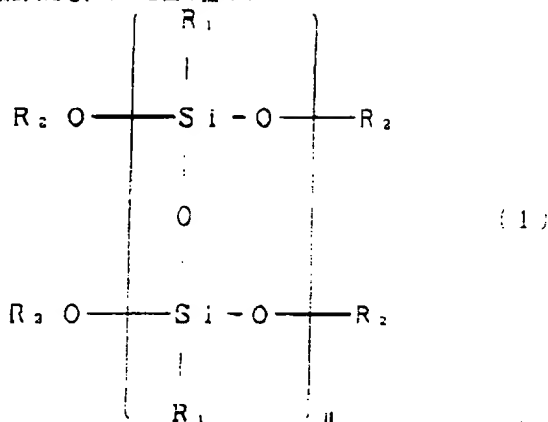
【発明が解決しようとする課題】本発明は、上述した従来技術の問題点を解決する目的でなされたものであり、「完全平坦化」に限りなく近いレベルの平坦化と共に、井戸状、槽底状など種々の形状を有し、かつ穴の直径が1μm以下であるような微細穴にも、1～2回の塗布で

も埋め込み可能な半導体の層間絶縁膜または平坦化膜の形成方法を提供することを目的とする。

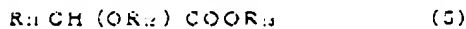
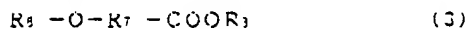
【0006】

【課題を解決するための手段】本発明は、直径が1μm以下である微細穴を有する半導体素子をコーティングするに際し、下記一般式(1)で示される数平均分子量の0.000～10,000のポリメチルシルセスキオキサン

【化2】



(式中、R₁はメチル基を、R₂は炭素数1～4のアルキル基及び/または水素原子を示し、nは分子量に対応する正の数である。)を下記一般式(2)～(5)で示される溶剤



(式中、R₁、R₂、R₃、R₄～R₁₀は炭素数1～4のアルキル基を、R₁、R₂はアルキル基で置換可能な炭素数2～4のアルキル基を示す。)の一種または二種以上の混合物を含む溶剤に溶解させた溶液を使用し、該微細穴を埋め込むことを特徴とする半導体用絶縁膜または平坦化膜の形成方法に関する。

【0007】また、上記ポリメチルシルセスキオキサンを溶解させた溶液を半導体素子上にコーティングした後、100～200℃の温度で溶剤を蒸発させ次いで200～500℃の温度で加熱硬化させて、ポリメチルシルセスキオキサンの硬化による可流動化をさせる上記の半導体用絶縁膜または平坦化膜の形成方法に関する。

【0008】以下、本発明を詳しく説明する。本発明で用いられる一般式(1)のポリメチルシルセスキオキサンにおいて、例題のR₁はメチル基であることが望ましいが、10キログラム未満の範囲で、他の有機基、例えば低級アルキル基やフェニル基であっても使用することができる。また、該ポリメチルシルセスキオキサンの数平均分子量は、ポリメチルシルセスキオキサンを用いて、GPC(ゲル

パーミエーション・クロマトグラフィ)法により測定しようが、数平均分子量としては、500～10,000が好ましい。数平均分子量が500より小さいと高温加熱時及び硬化時の収縮率が大きくなり、結果として微細配線、特にアスペクト比が大きな溝部や並列の微細穴におけるコーティング膜にクラックが発生し易くなる。また、数平均分子量が10,000より大きいと有機溶剤に対する溶解性が不充分となるのみならず、塗布液の粘度が高くなり前述の微細穴に対する埋め込み性が不充分となる。更に硬化過程での再流動化特性も阻害され、平坦化特性が不満足となる。

【0009】本発明における一般式(1)ポリメチルシルセスキオキサンを半導体基板表面上にコーティングする際には、有機溶剤に溶解した溶液として用いる。本発明の分子重量のポリメチルシルセスキオキサンは多種な有機溶剤に可溶であるが、本発明においては、前記一般式(2)～(5)で示される溶剤の一種または二種以上の混合物を含む溶剤を用いることが必須である。例えば、一般式(2)として、ブイビレングリコールモノアルキルエーテルアセテート類(具体例としてはブイビレングリコールモノメチルエーテルアセテート)、一般式(3)として、3-アルコキシプロピオン酸エステル類(具体例としては3-メトキシプロピオン酸メチル、3-メトキシプロピオン酸エチル)、一般式(4)として、乳酸エステル類(具体例としては乳酸メチル、乳酸エチル)、一般式(5)として、乳酸エーテルエステル類(具体例としては乳酸メチルエーテル、乳酸エ

(4)

特開平 7-122551

チルメチルポリアル等が挙げられる。中でも特に、溶解沸点が100～200℃のものが、スピニング後、溶剤を完全に蒸発させて成膜させるプロセスの設定が容易であるため好ましい。沸点が100℃以下ではスピニング時下の蒸発速度が早すぎるため塗布膜厚の均一性が得られにくく、また沸点が200℃以上の高沸点溶剤においては、本発明のポリメチルシルセスキオキサンが酸化反応の開始温度が約200℃であるため、膜中に溶剤が残存し良好な膜質が得られにくくなる欠点がある。

【0010】本発明における一般式(1)のポリメチルシルセスキオキサンを溶解する溶剤としては、アルコール類、エーテル類、エステル類、ケトン類、及び芳香族炭化水素類等があり、これらの一般に用いられている溶剤を上記の必須成分である溶剤に一部併用して用いることができる。これらの溶剤としては例えばアルコール類としては、メチルアルコール、エチルアルコール、プロピルアルコール、ブチルアルコール、オクチルアルコール、ドデシルアルコール、ジエチルグリコールモノエーテル、ジエチルグリコールモノアルキルエーテル等を挙げることができる。また、ケトン類としては、例えばアセトン、メチルエチルケトン、シクロヘキサンオン、メチルイソブチルケトン等を挙げることができ、芳香族炭化水素類としては、例えば、ベンゼン、ジメチルベンゼン、クロロベンゼン等を挙げることができる。

【0011】これら一般溶剤と上記一般式(2)～

(5)の必須成分との組み合わせにおいて、必須成分は少なくとも10%、好ましくは20%以上を含む溶剤とする。必須成分が10%以下では、本発明の目的とする微細穴への埋め込み性が不満足となる。有機溶剤溶液中のポリメチルシルセスキオキサンの固形分濃度はコーティング方法にもよるが、通常は2～50重量%、好ましくは10～20重量%である。また、本発明のポリオルガノシルセスキオキサン溶液には必要に応じてレベリング剤、カップリング剤、増粘剤、消泡剤、その他の添加剤を加えて使用しても良い。

【0012】本発明の半導体用絶縁膜または平坦化膜の形成方法は、半導体素子内に各種機能を実現させるための井戸状、鋸歯状など種々の形状を有し、かつ穴の直径が1μm以下であるような微細穴を有する半導体素子をコーティングする際に併せて適用することが望ましい。ポリメチルシルセスキオキサン溶液を基板上にコーティングするに際しては、通常はスピニング法が採用される。また、必要に応じてディップコーティング、スプレーコーティング、その他の方法でコーティングしても良い。またポリメチルシルセスキオキサン溶液を半導体素子上にコーティングするに際しては、配線にあらかじめ気相法によるSiO₂膜を形成しておくのが一般的である。

【0013】本発明の方法によって形成されるポリオルガノシルセスキオキサン塗膜の膜厚は0.01～2.0μmの範囲で自由に選択することができる。特に膜厚が1μm以上になってもクラックを生じないので、アスペクト比(配線幅/配線スペース幅)が1以上の狭くて深い溝になっている配線間の凹部を埋める平坦化することが可能であり、かつ前述の微細穴へのコーティングにおいてもクラックなく埋め込むことが可能である。これらの膜厚は、多数回の塗布によらず、1～2回のコーティングでも得ることができる。

【0014】本発明はポリオルガノシルセスキオキサン溶液をコーティングした後、100～200℃、好ましくは100～200℃の温度で1～100分間溶剤を實質的に完全に蒸発させ、つぎに200～500℃、好ましくは350～450℃の温度で10～120分間加熱することによって行う。これらの加熱硬化条件は配線に用いる有機溶剤の種類やドーパントの種類やドーパントの濃度により異なるので、硬化に先立ち予め充分な予備加熱を行い、有機溶剤を乾燥除去した後、前記一般式(1)で示されるポリオルガノシルセスキオキサンの構造である180～220℃での硬化による再流動化による再流動化を促進することが好ましい。硬化の温度は構成材料である半導体基板構成材料の耐熱性から許容される範囲でなるべく高温にすることが硬化後の塗膜の膜質(脱ガス性など)及び硬化プロセスの所要時間の面から望ましいが、本発明で用いるポリメチルシルセスキオキサンでは350～450℃、30～60分の温度条件でほぼ完全に重合硬化させることが可能であるので、半導体基板構成材料に悪影響を及ぼす熱履歴をなるべく少なくするという点で極めて有利である。

【0015】【作用】本発明は、結果的には従来の有機SiO₂の問題点をポリメチルシルセスキオキサンの配合溶剤組成、バーク条件を適宜選択してこれを達成したものである。従来のアルキルトリドコキシシラン等の有機SiO₂では、反応開始温度が120℃付近と低いだけでなく、高沸点の溶剤を配合しているため、溶剤を蒸発させてから成膜(硬化)させるバーク条件の設定が難しく、良好な膜質を得ることが困難であるばかりでなく、硬化加熱反応が低温から始まるため硬化過程での軟化による再流動化といった現象も期待できない。このため硬化後の平坦化度は「局所的平坦化」のレベルに止まらざるを得なかった。また、半導体素子内での穴の直径1.0μm以下の井戸状、鋸歯状など種々の形状の微細穴に対しても、1～2回の塗布による埋め込みは不可能であった。

【0016】これに対して、本発明のポリメチルシルセスキオキサンと前記一般式(2)、(3)、(4)、(5)で示される溶剤を必須成分として含む溶剤配合系は、比較的低温での溶剤配合のため半導体基板への塗布

(5)

特開平7-122551

写性を確保することが可能であること、硬化反応開始温度が200℃付近と高いため、溶剤を蒸発させてから成膜（硬化）させるべき条件の設定が容易で膜質の安定化が図れること、ラダータイプのポリメチルシルセスキオキサンを硬化せしめるため熱安定性に優れ良好な膜質が得られること、さらに硬化過程で硬化による再流動化現象が起こり、このため硬化膜の平坦化度は「完全平坦化」に限らず近いレベルまで可能であること、井戸状、鎖環状など種々の形状を有し、かつ穴の直径が1μm以下であるような微細穴に対しても、1〜2回塗布による埋め込みが実現できる。

【0017】

【実施例】以下、実施例及び比較例を挙げて本発明を更に詳細に説明する。但し本発明は何らこれらに限定されるものではない。尚、実施例及び比較例中の各物性値は試品ベアシリコンウエハ、再生ベアシリコンウエハ、パターンウエハに塗布したものを測定下記の方法に従って測定した。

（1）スピコート方法

スピナー1H360型（三菱マシニングター）を使用し、SOG溶液を数mlウエハ基板の上に滴下し、60rpm 5秒、次いで4000rpm 15秒間回転し、塗布膜を得た。

【0018】（2）ベーキング方法

SOG膜をスピコートしたウエハ基板をホットプレート上に設置した後、クリンオープンDT42R（ヤマト科学社製）にて加熱硬化せしめた。

（3）膜厚の測定方法

エリプソメーター（偏角解析装置）LE-2wer1500-820（ガードナー社製）にてシリコンウエハ基板上の膜厚を測定した。

（4）再流動化

パターンウエハ上にスピコートし、幅100μm角、高さ1μmのパッド（極微記録電極）部の塗膜形状を、硬化前後（ホットプレート溶剤揮散後とクリンオープン加熱硬化後）について微分干渉顕微鏡、デクタックで測定した。また、SOG溶液を50℃、12時間加熱し溶剤を揮散させた固体試料を作成し、高真空熱機械的分析装置（TMA30；セイコー電子工業製）にて軟化点を測定した。

【0019】（5）平坦化特性

配線幅サブミクロン〜数μm、スペース幅サブミクロン〜数十μmにわたる様々なパターンを含むテストパターンウエハ上にSOGをコートし成膜したときの断面SEM観察により平坦化度をみた。

（6）微細穴埋め性

テストパターンウエハ上にSOGをコートし成膜したときの半導体素子内での穴の直径1、0μm以下の井戸状、鎖環状など種々の形状の微細穴に対しての埋め込み性を断面SEM観察によりみた。結果は「大変良い」、

「良い」、「普通」、「悪い」で判定し、表1に各々、◎、○、△、×で示した。

【0020】（実施例1）前記（収式（1））において、数平均分子量が $M_n=3000$ 、ポリメチルシルセスキオキサン16重量部をエタノール、ブタノール、及び3-メトキシプロピル酸メチル（MMP）の混合溶剤（重量比=55：27：18）84重量部に溶解して塗布液を得た。上記塗布液をベアシリコンウエハ上で4000Åとなるようにパターンウエハ上にスピコートし、ホットプレートにて180℃2分溶剤を揮散させ、次いで350℃30分クリンオープンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0021】（実施例2）前記実施例1と同様のポリメチルシルセスキオキサン17重量部をエタノール、ブタノール、及びプロピルシロキサンメチルエーテルアセテート（PMA）の混合溶剤（重量比=55：25：20）83重量部に溶解して塗布液を得た。上記塗布液をベアシリコンウエハ上で4000Åとなるようにパターンウエハ上にスピコートし、ホットプレートにて180℃3分溶剤を揮散させ、次いで400℃30分クリンオープンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0022】（実施例3）前記実施例1と同様のポリメチルシルセスキオキサン16重量部をエタノール、ブタノール、及び酢酸メチルエーテルの混合溶剤（重量比=55：20：25）84重量部に溶解して塗布液を得た。上記塗布液をベアシリコンウエハ上で3500Åとなるようにパターンウエハ上にスピコートし、ホットプレートにて180℃2分溶剤を揮散させ、次いで400℃30分クリンオープンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0023】（実施例4）前記実施例1と同様のポリメチルシルセスキオキサン17重量部をエタノール、ブタノール、及びプロピルシロキサンメチルエーテルアセテート（PMA）の混合溶剤（重量比=55：25：20）83重量部に溶解して塗布液を得た。上記塗布液をベアシリコンウエハ上で4000Åとなるようにパターンウエハ上にスピコートし、ホットプレートにて250℃3分溶剤を揮散させ、次いで400℃30分クリンオープンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結果を表1に示す。

【0024】（比較例1）前記実施例1と同様のポリメチルシルセスキオキサン19重量部をエタノール、ブタノールの混合溶剤（重量比=55：15）97重量部に溶解して塗布液を得た。上記塗布液をベアシリコンウエハ上で4000Åとなるようにパターンウエハ上にスピコートし、ホットプレートにて180℃3分溶剤を揮散させ、次いで400℃30分クリンオープンにて硬化せしめた。硬化後室温に冷却して諸物性を測定した。結

(6)

特開平7-122551

果を表1に示す。

【0023】（比較例2）メタノール・ブチロキシラン
14重量部とメタノールとブチロキシラン・ポリブチル
エーテル（PGB）の混合溶剤（重量比＝30：70）
85重量部に溶解した塗布液を用いて、実施例1と同様
にスピンコートし、ホットプレートにて180℃3分溶

剤を揮散させ、次いで400℃30分クリンオープンに
て硬化せしめた。硬化後室温に冷却して諸物性を測定し
た。結果を表1に示す。

【0026】

【表1】

	溶剤組成	ベーク条件	塗布性	再流動化	平坦化特性	微細穴 埋め性
実施例1	エタノール ブタノール MMP	180℃2分 350℃30分	○	○	○	◎
実施例2	エタノール ブタノール PMA	180℃3分 400℃30分	○	○	○	◎
実施例3	エタノール ブタノール 乳酸エチル エーテル	180℃3分 400℃30分	○	○	○	◎
実施例4	エタノール ブタノール PMA	250℃3分 400℃30分	○	△	△	○
比較例1	エタノール ブタノール	180℃2分 400℃30分	△	○	○	×
比較例2	メタノール PGB	180℃2分 400℃30分	○	×	×	×

【0027】

【発明の効果】本発明により、従来の有機SiO₂を使用
した場合には多数回の塗布により行っていた、微細配線
を含むパターンの平坦化並びに半導体素子内に各種微能
を発生させるための微細穴の穴埋め性についての問題点

を、1～2回の塗布により解決すると同時に、将来の高
集積化（より微細なパターン）、多層配線化に伴う、質
の高い平坦性の要求（完全平坦化）や微細穴の穴埋め性
を達成し得る、実用性のあつた半導体用絶縁膜及びまたは
平坦化膜及びそれらの形成方法が提供される。

Methods for forming moisture blocking layers

Patent Number: US5866476

Publication date: 1999-02-02

Inventor(s): LEE HAE-JEONG (KR); CHOI JI-HYUN (KR); GOU JU-SON (KR); HWANG BYUNG-KEUN (KR)

Applicant(s):: SAMSUNG ELECTRONICS CO LTD (KR)

Requested
Patent: JP9330982

Application
Number: US19970826483 19970327

Priority Number
(s): KR19960009578 19960330

IPC

Classification: H01L21/316

EC H01L21/316B2B, H01L21/316, H01L23/00V,

Classification: H01L23/532N

Equivalents: KR255659

Abstract

A method for forming an insulating layer for a microelectronic device includes the steps of forming a conductive pattern on a surface of a microelectronic substrate, and forming a spin-on-glass layer on the surface of the microelectronic substrate covering the conductive pattern. The spin-on-glass layer is baked at a temperature in the range of 400 DEG C. to 750 DEG C., and a moisture blocking layer is formed on the baked spin-on-glass layer. By reducing moisture absorbed from the air into the spin-on-glass layer, a relatively low etch rate and a relatively low dielectric constant can be maintained for the spin-on-glass layer. Related structures are also discussed.

Data supplied from the esp@cenet database - I2

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.